APECS

Forschungsfabrik Mikroelektronik Deutschland

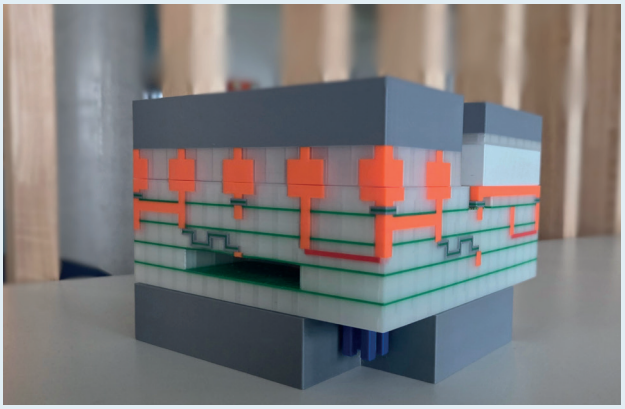
Fraunhofer IPMS

2.5D- und 3D-Chiplet-Integration

2.5- und 3D-Integrationstechnologien sind entscheidend für die Schaffung leistungsfähiger, kompakter und energieeffizienter Systeme. Das Fraunhofer IPMS entwickelt innerhalb von APECS in enger Abstimmung mit dem Fraunhofer IZM-ASSID Technologien für die 2.5D- und 3D-Integration auf 300-mm-Waferlevel. Ziel ist es, die 3D-Stapelung von fortschrittlichen CMOS-Wafern und nicht-CMOS heterogenen/Multimaterial-Wafern zu ermöglichen. Diese Entwicklungen sind besonders wichtig für Anwendungen in den Bereichen des Neuromorphic Computing, Trusted Electronics (z.B. Sicherheitsfunktionen) und ist die Basis für integrierte High-Performance-Chips.

Unsere Forschungsthemen

- Ultra-High-Density (UHD)-Interposer
- Passive funktionalisierte Interposer
- 3D-Stapel-Integration



©Fraunhofer IPMS

Das Exponat

Das 3D-Modell zeigt einen Silizium-Interposer mit integrierten passiven Funktionen, der zwei Demonstrator-Chiplets miteinander verbindet. Die Integration von TSVs in das Substratmaterial des Interposers bietet Anschlussmöglichkeiten für eine Montage mit hoher I/O-Dichte auf einem Substrat.

Kondensatoren und Widerstände sind zwischen den Kupferschichten des Interposers und im Siliziumsubstrat eingebettet. Die Integration passiver Bauelemente in den Interposer spart wertvollen Platz für aktive Chiplets und reduziert die Verdrahtungswege zwischen z. B. Kondensatoren und aktiven Bauelementen erheblich. Die Einbettung von 3D-Strukturen in das Siliziumsubstrat des Interposers bietet Raum für Strukturen mit hohem Aspektverhältnis, z. B. zur Erhöhung der Kapazität.

Die gezeigten Demonstrator-Chiplets sind durch Hybridbonding oder Kupfer-µPillar-Technologie verbunden. Beide Optionen sind in der APECS-Pilotlinie verfügbar. Der Kompromiss zwischen erhöhter I/O-Dichte (Hybridbonding) und verringerter Prozesskomplexität/Kosten (µPillar) muss für spezifische Anwendungsfälle berücksichtigt werden.

Silizium-Interposer mit integrierten passiven Funktionen, der zwei Demonstrator-Chiplets miteinander verbindet