

# LIN-Controller- Kern IPMS\_LIN

## Überblick

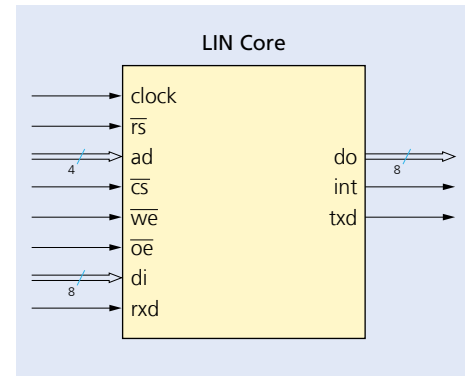
LIN (Local Interconnect Network) ist ein Kommunikationsprotokoll für serielle Bussysteme, welches in preisgünstigen Netzwerken, insbesondere in Automobilen, benutzt wird. Es erlaubt kostengünstige Buskommunikation für Anwendungen, bei denen die Bandbreite von CAN nicht benötigt wird.

Der IPMS-LIN-Kern ermöglicht es dem Anwender, Komponenten mit LIN-Schnittstelle zu realisieren.

Er stellt ein vollsynchrones VHDL-Modell dar, welches durch Nutzung von Standardzellbibliotheken oder FPGA zu einer Netzliste synthetisiert werden kann. Das VHDL-Modell wurde in einen Xilinx Virtex-II FPGA implementiert und erfolgreich getestet.

Der IPMS\_LIN-Kern unterstützt die LIN-Spezifikation 2.0. Er enthält einen 8-Byte-Pufferspeicher und besitzt ein 8-Bit-Host-Controller-Interface. Abb. 1 zeigt das Pinout des LIN-Kerns und Abb. 2 zeigt die Beschreibung der Steuersignale.

Ein LIN-Message-Frame enthält zwischen null und acht Datenfelder. Der LIN-Controller-Kern sendet oder empfängt komplette Frames (mit allen Datenfeldern). Aus diesem Grunde sind keine Interrupt-Anforderungen zum Host-Controller zwischen dem ersten und letzten Datenfeld notwendig.



1 LIN-Kern Pinout.

Name	Typ	Beschreibung
clock	I	system clock
rs	I	master reset (asynchronous)
ad	I	4-bit address from host
cs	I	chip select
we	I	write enable
oe	I	output enable
di	I	8-bit data from host
rxd	I	receive data from bus
do	O	8-bit data to host
int	O	interrupt request to host
txd	O	transmit data to bus

2 Beschreibung der LIN-Kern Signale.

### Fraunhofer-Institut für Photonische Mikrosysteme IPMS

Maria-Reiche-Str. 2  
01109 Dresden

#### Ansprechpartner

Dr. Michael Scholles  
Telefon +49 351 8823-201  
michael.scholles@ipms.fraunhofer.de

Dr. Hagen Grätz  
Telefon +49 351 8823-217  
hagen.graetz@ipms.fraunhofer.de

www.ipms.fraunhofer.de

## Merkmale

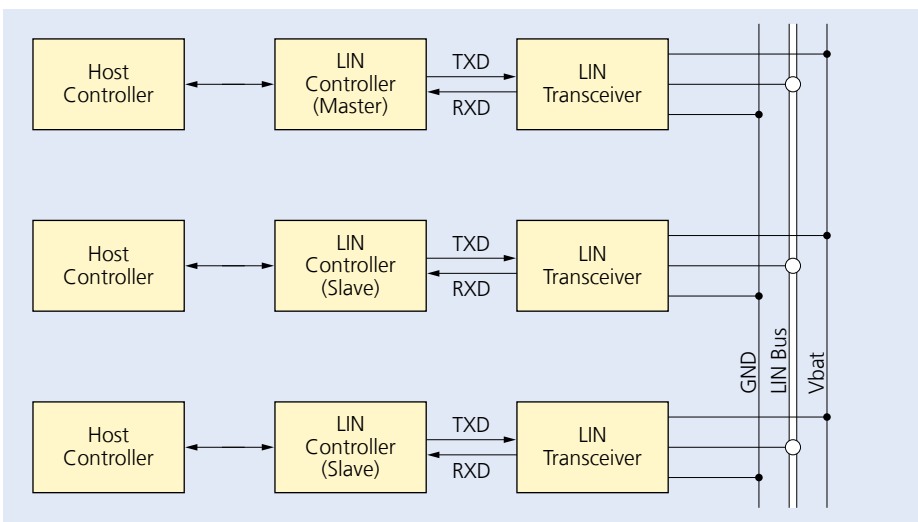
- Unterstützung von LIN-Spezifikation 2.0
- Datenrate zwischen 1 Kbit/s und 20 Kbit/s
- 8-Byte-Pufferspeicher
- 8-Bit-Host-Controller-Schnittstelle
- Unterstützung von Master- und Slave-Funktionalität (durch VHDL-Generics konfigurierbar)
- Slave kann mit oder ohne automatische Bitratenerkennung implementiert werden
- Vollsynchrones VHDL-Design, komplett synthetisierbar

## Anwendung

Das VHDL-Modell kann zu einer Netzliste synthetisiert werden, indem eine zur Verfügung stehende Standardzellbibliothek oder ein FPGA benutzt wird. Dies ermöglicht die Realisierung eines Chip- oder FPGA-Designs mit LIN-Schnittstelle.

Ein LIN-System umfasst einen Master-Knoten und einige Slave-Knoten. Die VHDL-Beschreibung unterstützt sowohl die Master- als auch die Slave-Funktionalität. Zur Konfiguration, ob der LIN-Kern als Master oder Slave implementiert wird, sind VHDL-Generics vorhanden.

Abb. 3 zeigt die Verbindung von LIN-Controller, Host-Controller und Transceiver-IC für ein LIN-System mit 3 Knoten.



3 LIN-System mit einem Master und zwei Slaves.