Fraunhofer IPMS

Whitepaper

RISC-V Prozessor Core für funktionale Sicherheit

Was ist RISC-V

Zusammen mit Industriepartnern hat die University of California in Berkeley mit dem „Reduced Instruction Set Computer V“ (RISC-V) eine offene Befehlssatzarchitektur, in Englisch Instruction Set Architeture (ISA) mit dem Ziel entworfen zukünftige Prozessoren für eine breite Vielfalt von Anwendungen verwendbar zu machen. Im Gegensatz zu vielen anderen Befehlssatzarchitekturen ist diese als Open Source Lizenz frei verwendbar, womit es jedermann möglich ist RISC-V Cores und Prozessoren zu entwickeln und zu verkaufen, ohne dafür Lizenzgebühren bezahlen zu müssen. Die zugehörigen Spezifikationen werden durch die 2015 gegründete RISC-V Foundation mit Sitz in der Schweiz koordiniert. Ein wichtiges Entwicklungsziel der offenen ISA war es die Entwicklung von schnellen, kleinen, performanten und energieeffizienten Prozessoren zu ermöglichen. Eine Implementierung ist auf FPGAs und ASICs umsetzbar. Die drei verfügbaren Integer Basis ISAs sind im Wesentlichen durch die Bitbreite zu unterscheiden. Wie der Name es vermuten lässt, haben die Architekturversionen RV32I, RV64I und RV128I je eine Breite von 32, 64 und 128 Bit. Außerdem existiert noch der RV32E mit nur 16 Registern, eine Variante die speziell für Embedded Systeme gedacht ist.

Modularität RISC-V

RISC-V umfasst einen einfachen festen Befehlssatz (fixed base ISA) und einen modularen festen Satz an Standard-erweiterungen. Das garantiert eine Lauffähigkeit heutiger RISC-V Programme auch auf zukünftigen RISC-V Prozes-soren, insofern diese auf derselben ISA-Basis aufbauen. Obwohl die RISC-V ISA eingefroren ist, können die Befehle durch sogenannte Standard Extensions erweitert werden. Notwendig ist dazu eine Zulassung durch die RISC-V Foun-dation. Sobald die Erweiterung zugelassen ist, wird diese wiederum eingefroren und für andere zur Nutzung zur Verfügung gestellt. So wird die notwendige Flexibilität erhalten, aber gleichzeitig eine Basis geschaffen, die es erlaubt den Softwarelebenszyklus für RISC-V Prozessoren deutlich zu verlängern und getätigte Investitionen langfristig und planbar nutzen zu können. Besonders Embedded Systeme mit einer langen Lebensdauer profitieren so von der Stabilität der ISA. Die modulare und erweiterbare Architektur ermöglicht maßgeschneiderte, effiziente und kostengünstige Prozessoren, wofür das RISC-V Technical Committee bereits Standard-Extensions festgelegt hat:

- M (Multiply): Befehle zur Multiplikation und Division
- A (Atomic): Befehle zum geschützten Lesen, Schreiben und Modifizieren von Speicherwerten für die Synchronisa-tion mehrerer RISC-V CPUs, im selben Speicherbereich
- F (Floating Point): Befehle zur Single-Precision Gleitkommaoperationen (32-Bit) nach IEEE 754-2008
- D (Double Precision Floating Point): Befehle zur Double-Precision Gleitkommaoperationen (64 Bit) nach IEEE 754-2008
- Q (Quad-Precision Floating Point): Befehle zur Quad-Precision Gleitkommaoperationen (128 Bit) nach IEEE 754-2008
- C (Compressed Instructions): Reduktion der Programmgröße durch Bereitstellen von nur 16 Bit-Befehlen für häufige Operationen

RSIC-V Open Source Toolchain

Es gibt derzeit zwei Open-Source-Projekte, die eine Lösung für die Toolchain-Anforderungen bei RISC-V bieten. Compiler-Unterstützung für viele RISC-V ISA-Varianten ermöglicht die Open-Source-Initiative GCC-Projekt (GNU Compiler Collection). Die GCC-Version 7.1 und höher unterstützt RISC-V. Ein neueres Projekt der Open-Source-Compiler-Framework-Initiative ist das LLVM-Projekt, das ein Compiler-Backend und Bibliotheksunterstützung für

RISC-V-Standard-ISA-Varianten bietet. Für die Entwicklung von Software-Code bietet die Eclipse-basierte Soft Console IDE (Integrated Development Environment) auf einer Linux-Plattform vollständige Entwicklungsunterstützung. Ein C- oder C++-Compiler und ein OpenOCD-Debugger wird unterstützt.

Entwicklung sicherheitskritischer eingebetteter Systeme

Die funktionale Sicherheit beschreibt die Fähigkeit eines Systems, das Auftreten von Fehlern zu erkennen, zu diagnostizieren und sicher zu vermeiden, um Schäden für Mensch und Umwelt zu verhindern. Die funktionale Sicherheit ist essenziell für viele komplexe Produkte, Anlagen und Prozesse. Auf internationaler Ebene liegt mit der IEC 61508 eine Horizontalnorm-Serie vor, die die Grundlage für verschiedene Branchen und Anwendungsfelder für elektrische, elektronische oder programmierbare elektronische Systeme liefert. Der Geltungsbereich dieser Norm erstreckt sich über Konzept, Planung, Entwicklung, Realisierung, Inbetriebnahme, Instandhaltung, Modifikation bis hin zur Außerbetriebnahme und Deinstallation des Systems. Die ISO26262 ist eine Norm für die Entwicklung sicherheitskritischer Systeme im Automotive-Bereich und ist aus der IEC 61508 abgeleitet.

Für die Entwicklung von sicherheitskritischen eingebetteten Systemen im Fahrzeug sind schon die genutzten Entwicklungstools als ein integraler Bestandteil anzusehen. Die Entwicklung auf einer zertifizierten Compiler- und Debugger-Toolchain spart in solchen Fällen Entwicklungszeit und Kosten. Derzeit gibt es nur einen Anbieter für eine zertifizierte Toolchain für RISC-V-Prozessoren. Die IAR Embedded Workbench® für RISC-V ist gemäß den Anforderungen der IEC 61508, der internationalen horizontalen Norm für funktionale Sicherheit, sowie

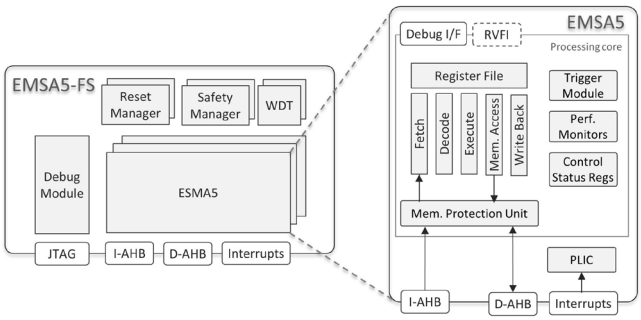

Abb. 1: Blockdiagramm EMSA5-FS

verschiedener Normenumsetzungen wie Automotive (ISO 26262), Bahnanwendungen (DIN EN 50128/ EN 50657), Maschinen (DIN EN 62061) und Prozessindustrie (DIN EN 50657), zertifiziert. Es handelt sich um eine vollständige Entwicklungs-Toolchain für RISC-V, die den IAR C / C ++ Compiler™ und den C-SPY® Debugger enthält.

EMSA5-FS – RISC-V Prozessor ASIL-D ready nach ISO 26262

Der RISC-V-Prozessor für eingebettete funktionale Sicherheit EMSA5-FS des Fraunhofer IPMS ist ein 32-Bit-Prozessor mit fünfstufiger Pipeline, der die offene Standard-RISC-V-Befehlssatzarchitektur (ISA) unterstützt. In Abbildung 1 ist ein Blockdiagramm des IP Cores dargestellt. Zu den ausfallsicheren Funktionen gehören die integrierte Double Mode oder Triple Mode Redundancy (mit oder ohne Lockstep), ECC-Schutz (Error Correction Code) für Busse, eine konfigurierbare Speicherschutzeinheit, privilegierte Betriebsmodi sowie Reset- und Safety Manager-Module. Es ist für ASICs oder FPGAs verfügbar und entweder als eigenständiger Prozessor oder in optionalen Subsystemen vorintegriert, die eine Busstruktur mit typischen Peripheriegeräten kombinieren. In Tabelle 1 ist eine Übersicht der Utilisierung des Cores auf der TSMC 7 nm Technologie zu finden. Mit dem Design der EMSA5-FS-Plattform und

Enabled Extensions	Embedded (E) Compressed Instructions (C)	Embedded (E) Compressed Instructions (C)
Redundancy	Double Mode Redundancy	Triple Mode Redundancy
Safety Lockstep	enabled	not enabled
Gate Count [nd2]	42141	61823
Area [µm²]	2306	3383
Max. Frequency [MHz]	> 2000	> 2000

Tabelle 1: Utilisierung TSMC 7 nm

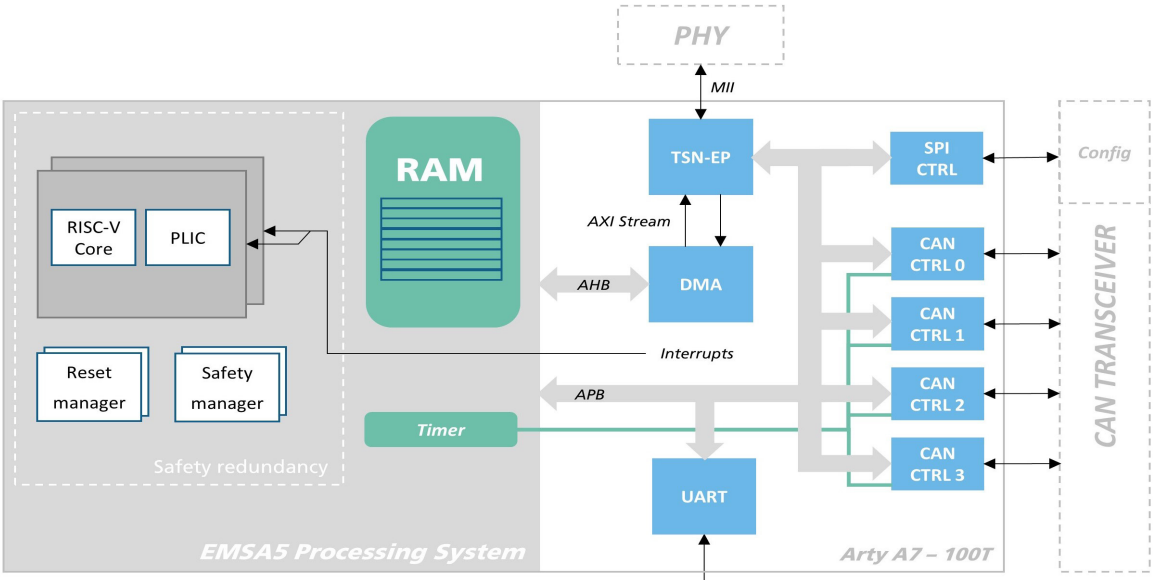

Abb. 2: Blockdiagramm Arty A7 - 100T System

den enthaltenen Sicherheitsdokumenten können Benutzer ASIL-D nach der ISO 26262-Zertifizierung erreichen. Die gelieferten Dokumente enthalten die wesentlichen FMEDA (Failure Modes, Effects and Diagnostic Analysis), SAM (Safety Manual) und andere. Verfügbare FPGA-Board-Entwicklungskits und Musterdesigns erleichtern die Zertifizierung, Bewertung oder das Rapid Prototyping. Entwickler, die den EMSA5-FS-Prozessor verwenden, können alle Open-Source- und kommerziellen RISC-V-Entwicklungshilfen, Testtools und Bibliotheken nutzen, einschließlich der GNU-Toolchain und der Eclipse-IDE mit OpenOCD-Debug-Unterstützung.

Die IAR Embedded Workbench® für funktionale Sicherheit bietet auch Unterstützung für den nach ISO 26262 ASIL-D ready zertifizierten RISC-V Prozessorkern EMSA5-FS des Fraunhofer IPMS.

Demo-Implementierung mit TSN und CAN XL

Abbildung 2 zeigt den Aufbau einer TSN-fähigen Networking-Plattform mit dem implementierten RISC-V Prozessor EMSA5-FS. Die Implementierung wurde auf einem Arty A7-100 T umgesetzt, es wurden außerdem der TSN-EP IP Core (TSN Endpunkt IP Core), sowie der CAN Controller Core (CAN-CTRL) des Fraunhofer IPMS verwendet. Der TSN-EP nutzt den Low Latency Ethernet MAC (LLEMAC) des IPMS, der als ASIL-D ready nach der ISO 26262 vorzertifiziert ist. Auch der CAN XL Controller Core ist als ASIL-B ready vorzertifiziert.

Auf dem Arty-A7 100T Board sind ein TSN-Endpunkt-Controller (TSN-EP), vier CAN XL-Controller (CAN-CTRL), und ein RISC-V Prozessorkern (EMSA5-FS)implementiert.

Der TSN Endpunkt ist via MII (Media Independent Interface) mit dem Ethernet PHY des Boards verbunden, ein DMA transportiert die Daten über den AHB Bus von und aus dem RAM-Speicher. Via SPI Controller werden die vier parallelen CAN Transceiver konfiguriert, die Synchronisation der CAN-Controller Busse wird über einen Timer realisiert.

Der Prozessor ist über den ABP (Advanced Peripheral Bus) mit den CAN-Controllern verbunden. Das System verfügt auch über eine UART-Schnittstelle, über die sich Terminalzugriffe auf das System realisieren lassen. In Tabelle 2 ist eine Übersicht der Implementierungsergebnisse des Demosystems zu finden.

Module	LUT (Look Up Tables)		LUTRAM		FF (Flip-Flop)		BlockRAM/36K		DSP48E	
Available	63400	100 %	19000	100 %	126800	100 %	135	100 %	240	100 %
EMSA5	**11788**		**96**		**7262**		**16**		**0**	
CAN	55551		40		2942		2.5		2	
TSN	4390		33		4221		8.5		0	
System	39343	62 %	177	1%	24649	20 %	39.5	29 %	8	4 %

Tabelle 2: Utilisierung des Demo-Systems TSN-fähige Netzwerkplattform

ÜBER DAS FRAUNHOFER IPMS

Das Fraunhofer-Institut für Photonische Mikrosysteme IPMS steht für angewandte Forschung und Entwicklung in den Bereichen industrielle Fertigung, Medizintechnik und verbesserte Lebensqualität. Unsere Forschungsschwerpunkte sind miniaturisierte Sensoren und Aktoren, integrierte Schaltungen, drahtlose und drahtgebundene Datenkommunikation sowie kundenspezifische MEMS-Systeme.

Das Fraunhofer IPMS verfügt über jahrelange Erfahrung im Entwurf und Design von IP-Cores zur automobilen Kommunikation und verfügt über eine Familie von TSN-IP-Cores. Weltweit nutzen viele Anwender die IP-Cores des Fraunhofer IPMS unter anderem in den Branchen Automotive, Aerospace und Automatisierung. Das multidisziplinäre IP-Designteam des Fraunhofer IPMS mit Fachwissen von Computerarchitekturen, Netzwerkstrukturen über RTL-Design bis hin zur Implementierung elektronischer Systeme steht auch als kompetenter Entwicklungspartner für anwendungsspezifische Anpassungen der IP-Cores sowie deren Integration in komplexe Netzwerkarchitekturen zur Verfügung.

Kontakt

Stephan Kube
0351 88 23 - 1211
stephan.kube@ipms.fraunhofer.de

Fraunhofer IPMS
Maria-Reiche-Str. 2
01109 Dresden
www.ipms.fraunhofer.de