

Whitepaper

Time Sensitive Networking TSN-Implementierung auf Basis von Intel FPGAs

Einleitung

Time-Sensitive Networking (TSN) ist ein Set von Standards, der derzeit von der IEEE entwickelt wird. Die Weiterentwicklung soll den Grad des Determinismus in Switched Ethernet-Netzwerken nach IEEE 802.1 und 802.3 erhöhen. Im Wesentlichen bedeutet das die Umsetzung von Ethernet-Netzwerken mit:

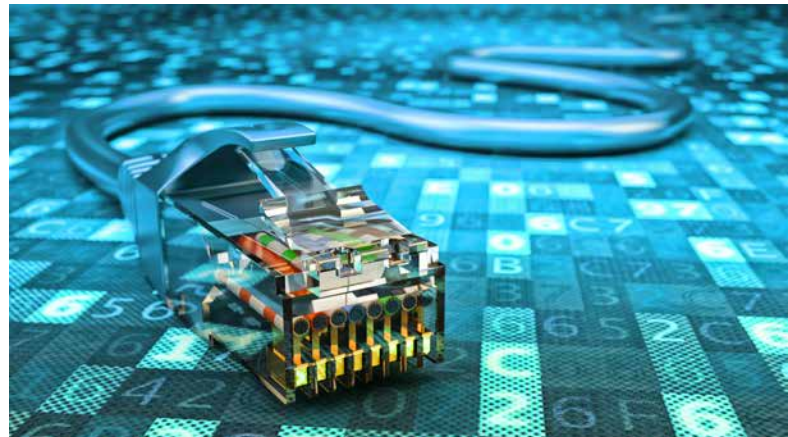
- garantierten Ende-zu-Ende Latenzen für echtzeitkritischen Datenverkehr
- Übertragung von (zeit-) kritischen und unkritischen Datenverkehr über ein konvergentes Netzwerk
- geringen Paketverlusten
- geringen Latenzschwankungen (Jitter)

Für die Anwender solcher Ethernet-Netzwerke ergeben sich daraus folgende Vorteile:

- Höher liegende Protokollschichten können eine gemeinsame Netzwerkinfrastruktur nutzen
- Echtzeitsteuerung kann auch außerhalb des OT-Bereichs (Operational Technology, also Prozesssteuerung, Automatisierung, etc.) angewandt werden
- Keine Herstellerabhängigkeiten im Zusammenhang mit echtzeitfähigen Feldbussystemen

In diesem White Paper wird der Nutzen von TSN anhand eines vereinfachten Beispiels erklärt. Anschließend setzt es sich mit der Implementierung von TSN für Endpunktanwendungen auf einer Intel FPGA Plattform (Cyclone® V SoC) unter Einsatz des Fraunhofer IPMS TSN-EP IP-Cores für Endpunktanwendungen auseinander. Der IP-Core TSN-EP des Fraunhofer IPMS integriert einen echtzeitfähigen MAC und unterstützt folgende TSN Substandards:

- IEEE 802.1AS – Timing and Synchronization
- IEEE 802.1Qav - Forwarding and Queuing
- IEEE 802.1Qbv – Enhancements for Scheduled Traffic



TSN in Anwendung – Ein Beispiel

In automatisierten Prozessen werden Informationen zur Steuerung und Regelung durch Sensoren geliefert. Diese Messwerte werden an Steuereinheiten gesendet und weiterverarbeitet. Die errechneten Stellgrößen werden an Aktuatoren übertragen, um Eingriffe in den Prozess vorzunehmen. Die Sensoren sind dabei je nach Anforderung an die Übertragung mit unterschiedlichen Kommunikationsschnittstellen ausgestattet. Vor allem Sensorik mit hohen Leistungsanforderungen und hohen zu übertragenden Datenmengen, wie beispielsweise Kamerasysteme verfügen über netzwerkfähige Kommunikationsschnittstellen.

In der Robotik, ein Teilbereich der Automatisierungstechnik, herrscht oft ein Zusammenspiel aus örtlich verteilten optischen Sensorsystemen wie z.B. Time of Flight-Kameras und den Aktuatoren eines Robotersystems, wie etwa Stellantriebe. Durch dieses Zusammenspiel lassen sich Aufgaben wie die Positionierung eines Werkstücks in einem Fördersystem realisieren. In solchen Fällen werden – neben den Sensordaten, die zumeist in Echtzeit zur Verfügung stehen müssen – auch Daten mit hohen Bandbreitanforderungen übertragen. Deswegen hat sich auch in diesem Bereich der Automatisierung, neben anderen Bussystemen, eine Vielzahl von verschiedenen Ethernet-basierten Feldbussystemen herausgebildet, die verschiedenen Anforderungen hinsichtlich Determinismus und Echtzeit an die Datenübertragung gerecht werden.

Der Einsatz mehrerer Systeme innerhalb eines Netzwerks führt in vielen Fällen zu Hardware-Inkompatibilitäten. Dieser Umstand wird in heutigen Automatisierungs-Netzwerken durch Gateways gelöst, was wiederum zu hohen Kosten führen kann. Der Einsatz von TSN-fähigen Komponenten hingegen erlaubt es verschiedene Protokolle in einem einheitlichen Netzwerk parallel zu nutzen, ohne das spezielle Hardware dazwischen geschaltet werden muss. Wie in Abbildung 2 exemplarisch dargestellt, werden Bildverarbeitungsdaten und Sensordaten über ein Switched TSN-Netzwerk übertragen. Das kann eine Kamera zur Positionserkennung sein, die mit einem Handlings Roboter synchronisiert werden soll, um eine Positionskorrektur für den nächsten Prozessschritt vorzunehmen. Neben den zeitkritischen Sensordaten, werden gleichzeitig auch die Best-Effort-Daten über das gleiche Netzwerk versendet:

Zeitkritische Daten - Cyclic real time traffic

Verwendung für echtzeitkritische periodische Kommunikation zwischen Controller zu Controller, Controller zu I/O oder Gerät zu Gerät Kommunikation.

Zeitunkritische Daten – Best effort

Im vorliegenden Beispiel wird folgender Best-Effort-Datenverkehr im Hintergrund über das Netzwerk versendet:

- Simple Network Management Protokoll (SNMP)
- OPC UA Status
- Webserver
- Kameradaten

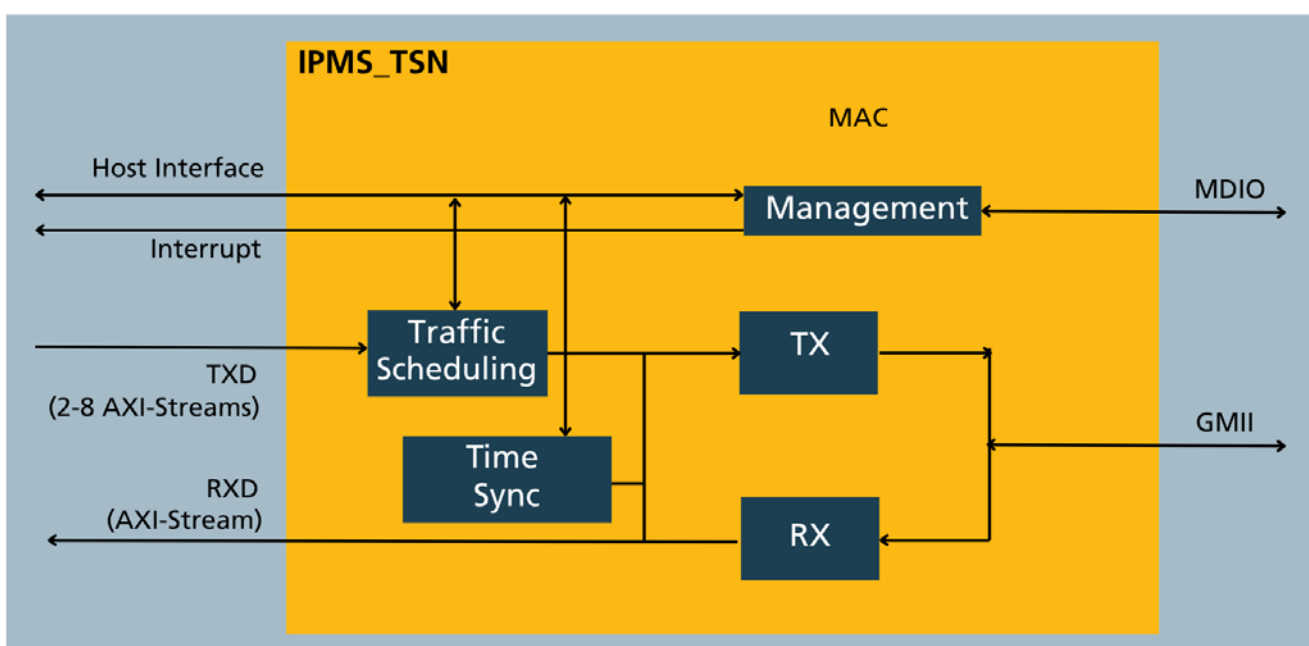


Fig. 1: Block diagram TSN-EP IP-core

Durch die Nutzung des TSN-Standards ist die echtzeitfähige Kommunikation über ein Switched Ethernet-Netzwerk auch ohne den zusätzlichen Einsatz von proprietären Feldbussystemen und den damit nötigen Gateways möglich.

TSN Implementierung – Intel FPGA Basis

FPGAs sind eine gut geeignete Plattform für TSN-basierte Anwendungen. Sie bieten hohe Flexibilität, um kundenspezifische Lösungen bei kleinen und mittleren Stückzahlen mit einem guten Preis-Leistungsverhältnis bereitzustellen. FPGAs bieten zudem I/O Flexibilität und so die Möglichkeit auch andere Ethernet-Protokolle auf einem Gerät zu integrieren.

Im beschriebenen Beispiel wird näher auf eine Implementierung des TSN-EP IP-Cores auf einer Intel FPGA der Serie Cyclone® eingegangen. Für den Aufbau wird ein Basisboard (NOVPEK™CVL) mit aufgestecktem SODIMM Modul (NOVSOM®CVL) basierend auf der Cyclone® V SoC series von Intel verwendet. Auf dem Board befindet sich ein KSZ9031RN PHY. Die PHYs sind über RGMII und MDIO an den TSN-EP IP-Core angebunden. Im Vergleich zu GMII führt die Anbindung mit RGMII aufgrund der reduzierten Pinanzahl von 25 auf 12 zu einer Einsparung von Ressourcen. Im Gegensatz zu GMII wird bei RGMII eine Signalisierung mit Double Data Rate (DDR), also mit Signalfanken sowohl zur steigenden als auch zur fallenden Taktflanke verwendet. Die Konfiguration des PHY erfolgt über die MDIO-Schnittstelle des TSN-EP IP. Als Designtool wird die Intel® SoC FPGA Embedded Development Suite (SoC EDS) genutzt, die außerdem das ARM Development Studio 5 enthält. Statt eines Hardprozessor-Cores kann alternativ auch ein Softprozessor-Core wie NIOS II auf dem Cyclone® V GX Starter Kit verwendet werden.

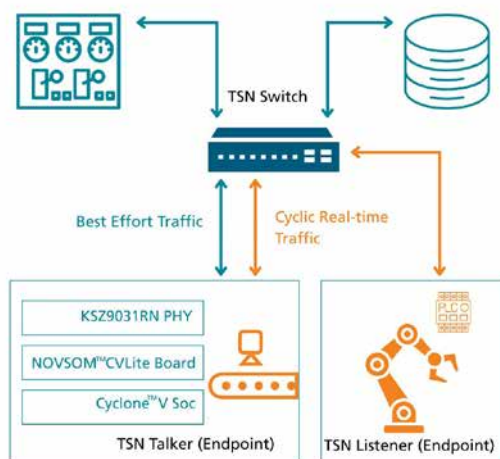


Abb. 2: Beispiel Switched TSN TSN-Netzwerk

Hardwarebeschreibung

Der Fraunhofer IPMS TSN-EP IP-Core wird CPU-seitig über ein APB-Interface und eine Interrupt-Leitung angeschlossen. Der Core liefert außerdem einen RX AXI-Stream und eine konfigurierbare Anzahl an TX AXI-Streams, die im vorliegenden Beispiel über einen DMA-IP (in Abbildung 3 blau) an das HPS des Cyclone® V SoC angebunden sind. PHY-seitig wird der TSN-EP IP-Core per MII, GMII oder RGMII angebunden. Um die DDR-Register der I/O Elemente im FPGA-Teil des Cyclone® V SoC nutzen zu können, werden die ALTDDIO_IN bzw. ALTDDIO_OUT IP von Intel verwendet.

Für die Integration des TSN-EP IP-Cores kommt die FPGA Design-Software Quartus Prime® von Intel und dem enthaltenen Systemintegrationstool QSys, einem Tool für die vereinfachte Integration von Intel IP-Core-Komponenten (z.B. HPS, DMA, CDC-FIFOS) zum Einsatz. Mit Quartus 18.1 kann aus der Hardwarebeschreibung (HDL) und dem QSYS-Projekt ein Bitfile (.sof) erzeugt werden, das anschließend komprimiert als RBF-File (.rbf) vorliegt. Weiterhin werden Handoff-Files (.xml, .c oder .h) generiert, die die Konfiguration des HPS beschreiben.

Die Nutzung des FPGA-Teils des Cyclone® V SoC mit integriertem TSN-EP kann Abbildung entnommen werden. Der orangene Teil entspricht der Utilisierung durch den TSN-EP IP-Core, der blaue Teil dem der genutzten IP-Cores von Intel, wie der DMA-Controller oder das ABP-Businterface.

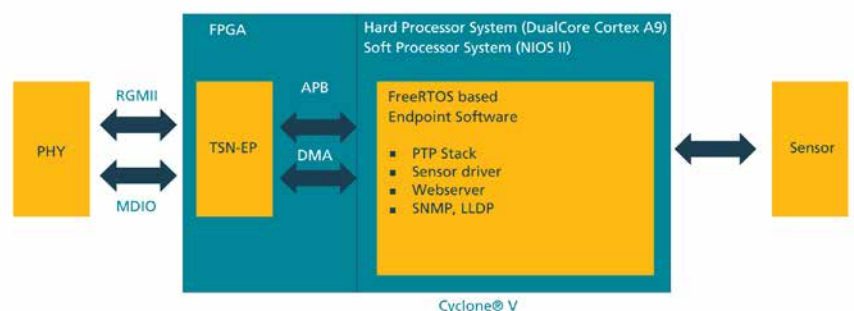


Abb. 3: Schematischer Aufbau FPGA Cyclone® V SoC mit integriertem TSN TSN-EP

Softwarebeschreibung

Der Programmcode verwendet FreeRTOS (10.2), die Intel/Altera-HW-Libraries und den IPMS PTP-Stack zur Ansteuerung des TSN-EP IP-Cores. Der FreeRTOS-Scheduler wird dabei mit einer Taktfrequenz von 1000 Hz betrieben und reserviert 128 kByte Speicher zur Verwendung als HEAP.

Zur Kontrolle des Systems wird ein Command Line Interface über eine UART-Schnittstelle bereitgestellt. Im DRAM wird ein dynamischer Datenpuffer für Ethernet-Datenpakete von einem Megabyte erzeugt. Die Software auf dem HPS wird direkt aus dem DRAM ausgeführt, wobei der verfügbare Speicher von einem GigaByte bei weitem nicht ausgenutzt wird. Aus dem kompilierten Programmcode wird eine .ELF Datei erzeugt und anschließend in ein binäres Format (.bin) überführt. Unter Verwendung des Bootloaders U-Boot kommt die Software anschließend zur Ausführung.

Zusammenfassung

TSN erlaubt die Übertragung von kritischem Echtzeitdatenverkehr und unkritischem Datenverkehr über ein konvergentes Ethernet-Netzwerk und begegnet dabei verschiedenen Anforderungen hinsichtlich Jitter, Bandbreite und Latenzen. FPGAs bieten umfangreiche Möglichkeiten kundenspezifische TSN-fähige Lösungen schnell in den produktiven Einsatz zu bringen.

	Resource	Usage	%
1	Logic utilization (ALMs needed / total ALMs on device)	4,534 / 41,910	11 %
2	ALMs needed [a+b+c]	4,534	
3	[a] ALMs used in final placement [a+b+c+d]	5,306 / 41,910	13 %
4	[b] Estimate of ALMs recoverable by dense packing	831 / 41,910	2 %
5	[c] Estimate of ALMs unavailable [a+b+c+d]	59 / 41,910	+ 1 %
6	Difficulty packing design	Low	
7	Total LABs: partially or completely used	689 / 4,161	16 %
8	Combinational ALUT usage for logic	7,138	
9	Combinational ALUT usage for route-throughs	1,307	
10	Dedicated logic registers	6,923	
11	Virtual pins	0	
12	I/O pins	132 / 499	26 %
13	I/O registers	246	
14	Hard processor system peripheral utilization		
15	M10K blocks	51 / 553	9 %
16	Total MLAB memory bits	0	
17	Total block memory bits	316,136 / 5,662,720	6 %
18	Total block memory implementation bits	522,240 / 5,662,720	9 %
19	Total DSP Blocks	0 / 112	0 %
20	Fractional PLLs	1 / 6	17 %

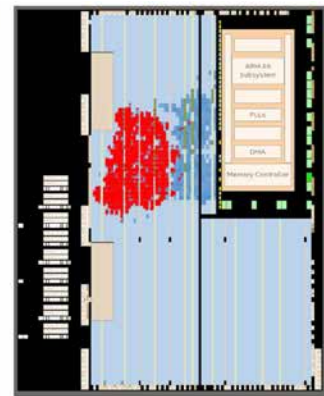


Abb. 4: Nutzung des FPGA FPGA-Teil des Cyclone ® V SoC mit integriertem TSN TSN-EP



Kontakt

Stephan Kube
+49 351 88 23 - 1211
stephan.kube@ipms.fraunhofer.de

Fraunhofer IPMS
Maria-Reiche-Str. 2
01109 Dresden
www.ipms.fraunhofer.de

ÜBER DAS FRAUNHOFER IPMS

Das Fraunhofer-Institut für Photonische Mikrosysteme IPMS steht für angewandte Forschung und Entwicklung in den Bereichen industrielle Fertigung, Medizintechnik und Verbesserung der Lebensqualität. Unsere Forschung konzentriert sich auf miniaturisierte Sensoren und Aktoren, integrierte Schaltungen, drahtlose und drahtgebundene Datenkommunikation und kundenspezifische MEMS-Systeme.

Das Fraunhofer IPMS verfügt über jahrelange Erfahrung im Entwurf und Design von IP-Cores und verfügt über eine Familie von TSN-IP-Cores. Weltweit nutzen viele Anwender die IP-Cores des Fraunhofer IPMS unter anderem in den Branchen Automotive, Aerospace und Automatisierung. Das multidisziplinäre IP-Designteam des Fraunhofer IPMS mit Fachwissen von Computerarchitekturen, Netzwerkstrukturen über RTL-Design bis hin zur Implementierung elektronischer Systeme steht auch als kompetenter Entwicklungspartner für anwendungsspezifische Anpassungen der IP-Cores sowie deren Integration in komplexe Netzwerkarchitekturen zur Verfügung.